

## SEMICONDUCTOR DEVICE

**Publication number:** JP2000183172

**Publication date:** 2000-06-30

**Inventor:** KOYAMA KAZUHIKO; KONO HIROAKI

**Applicant:** OKI MICRO DESIGN CO LTD; OKI ELECTRIC IND CO LTD

**Classification:**


- international: **H01L27/04; G06F1/10; G11C11/407; H01L21/82; H01L21/822; H03K5/13; H03L7/081; H01L27/04; G06F1/10; G11C11/407; H01L21/70; H03K5/13; H03L7/08; (IPC1-7): H01L21/82; H01L21/822; H01L27/04; H03K5/13**

- european: **G06F1/10; H03L7/081A1**

**Application number:** JP19980357608 19981216

**Priority number(s):** JP19980357608 19981216

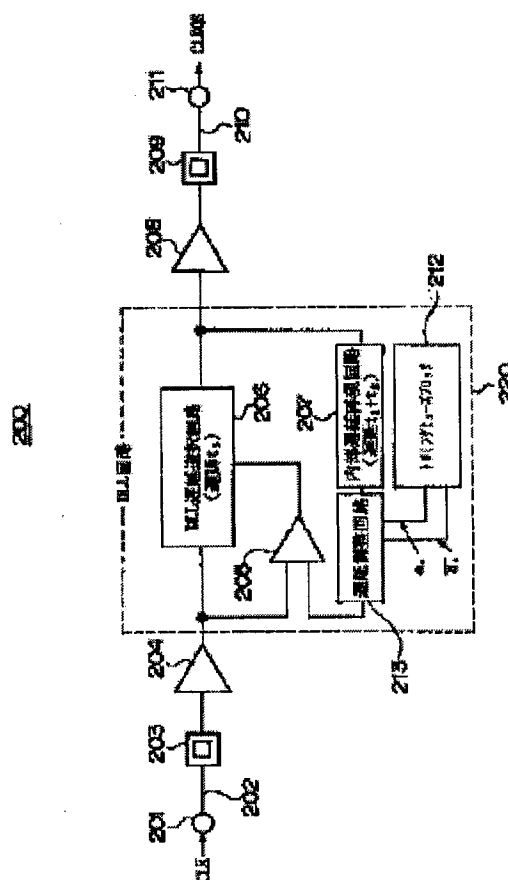
**Also published as:**

 **US6218877 (B1)**

[Report a data error here](#)

### Abstract of JP2000183172

**PROBLEM TO BE SOLVED:** To readily regulate an internal delay time by a method, wherein there is provided a delay regulating circuit for regulating the delay of an internal delay reproducing circuit, and a structure is made so as to control the delay regulating circuit by a trimming fuse block. **SOLUTION:** A DLL circuit 220 is connected downstream of an internal delay reproducing circuit 207, and there is provided a delay regulating circuit 213 for generating a predetermined delay time for regulating an internal delay time to reappear in the internal delay reappearing circuit 207. Furthermore, there is also provided a trimming fuse block 212, which is connected to the delay regulating circuit 213 and functions as a delay time control part for controlling the delay time generated in the delay-regulating circuit 213. Thus, a fuse within the fuse block is cut out, thereby readily regulating the delay time. Furthermore, the fuse is cut out at probing to regulate the delay time, thereby relieving a failed device becoming failure due to the difference between processes so that it is possible to enhance the manufacturing yield.



Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-183172  
(P2000-183172A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 21/82		H 0 1 L 21/82	F 5 F 0 3 8
27/04		H 0 3 K 5/13	5 F 0 6 4
21/822		H 0 1 L 21/82	D 5 J 0 0 1
H 0 3 K 5/13			R
		27/04	V

審査請求 未請求 請求項の数9 O L (全9頁)

(21) 出願番号 特願平10-357608

(22) 出願日 平成10年12月16日 (1998.12.16)

(71) 出願人 591049893

株式会社 沖マイクロデザイン  
宮崎県宮崎郡清武町大字木原7083番地

(71) 出願人 000000295

沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号

(72) 発明者 小山 和彦

宮崎県宮崎郡清武町大字木原7083番地 株  
式会社沖マイクロデザイン宮崎内

(74) 代理人 100095957

弁理士 亀谷 美明 (外2名)

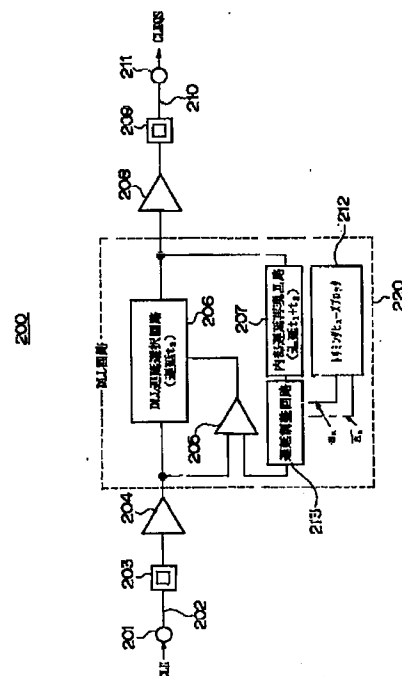
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 内部遅延時間を容易に調整可能な半導体装置を提供する。

【解決手段】 DLL回路220を備えた半導体装置200において、DLL回路は、入力クロック信号CLKがDLL回路に入力されるまでの遅延時間 $t_1$ と、DLL回路から出力された信号が出力クロック信号CLKQとして出力されるまでの遅延時間 $t_2$ との合計の遅延時間を再現する内部遅延再現回路207と、内部遅延時間の調整を行うために所定の遅延時間を発生する遅延調整回路213と、遅延調整回路を制御するトリミングヒューズブロック212と、遅延調整回路を介した信号の位相と、位相調整回路に入力される信号の位相とを比較する位相比較器205と、遅延調整回路を介した信号の位相とDLL回路に入力される信号との位相を一致させるため、所定の遅延時間 $t_3$ を発生するDLL遅延選択回路206とを備えたことを特徴とする。



## 【特許請求の範囲】

【請求項1】 装置外部より入力信号が入力される入力端子と、装置外部へ出力信号が出力される出力端子と、前記入力信号と前記出力信号との位相合わせを行う位相調整回路とを備えた半導体装置において：前記位相調整回路は、前記入力信号が前記位相調整回路に入力されるまでの遅延時間と、前記位相調整回路から出力された信号が前記出力信号として出力されるまでの遅延時間との合計の遅延時間を再現する内部遅延再現回路と；前記内部遅延再現回路の上流または下流に接続され、前記内部遅延再現回路が再現する内部遅延時間の調整を行うために所定の遅延時間を発生する遅延調整回路と；前記遅延調整回路に接続され、前記遅延調整回路が発生する遅延時間を制御する遅延時間制御部と；前記遅延調整回路を介した信号の位相と、前記位相調整回路に入力される信号の位相とを比較する位相比較器と；前記遅延調整回路を介した信号の位相と前記位相調整回路に入力される信号との位相を一致させるため、所定の遅延時間を発生する遅延選択回路と；を備えたことを特徴とする、半導体装置。

【請求項2】 前記遅延時間制御部は、ヒューズを含む複数のヒューズ回路から成り、前記ヒューズの切断により前記遅延調整回路が発生する遅延時間を制御することを特徴とする、請求項1に記載の半導体装置。

【請求項3】 前記遅延調整回路は、少なくとも前記ヒューズ回路の数の2乗より1少ない数の遅延素子を備えたことを特徴とする、請求項2に記載の半導体装置。

【請求項4】 前記遅延素子は、抵抗素子であることを特徴とする、請求項3に記載の半導体装置。

【請求項5】 前記遅延素子は、インバータ素子であることを特徴とする、請求項3に記載の半導体装置。

【請求項6】 前記遅延時間制御部は、複数のラッチ回路から成り、前記ラッチ回路に入力される外部アドレス情報により前記遅延調整回路が発生する遅延時間を制御することを特徴とする、請求項1に記載の半導体装置。

【請求項7】 前記遅延調整回路は、少なくとも前記ラッチ回路の数の2乗より1少ない数の遅延素子を備えたことを特徴とする、請求項6に記載の半導体装置。

【請求項8】 前記遅延素子は、抵抗素子であることを特徴とする、請求項7に記載の半導体装置。

【請求項9】 前記遅延素子は、インバータ素子であることを特徴とする、請求項7に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置にかかり、特に半導体装置の入力信号と出力信号との位相合わせを行うDLL(Delay Locked Loop)回路を備えた半導体装置に関する。

## 【0002】

【従来の技術】半導体装置外部より入力される入力信

号、例えば入力クロック信号と、半導体装置外部に出力される出力信号、例えば出力クロック信号との位相を合わせを目的としたDLL回路を備える半導体装置がある。DLL回路は内部遅延再現回路を備えている。内部遅延再現回路は、入力ピンから入力された信号が、パッドやバッファを介してDLL回路に入力されるまでの遅延時間と、DLL回路から出力された信号がバッファやパッドを介して出力ピンから出力されるまでの遅延時間との合計の遅延時間(以下、「内部遅延時間」と称する。)を再現する。内部遅延再現回路が再現する内部遅延時間は、あらかじめメタルオブションにより調整されているのが一般的である。

## 【0003】

【発明が解決しようとする課題】ところで、一般に半導体装置の量産段階ではロット間差やデバイス間差等のプロセスのばらつきが生じるため、内部遅延再現回路の調整を再度行う必要が生じる場合がある。しかし、従来の半導体装置では、内部遅延再現回路がメタルオブションにより調整されているので、内部遅延再現回路の調整や評価が非常に困難であるという問題があった。

【0004】本発明は、従来の半導体装置が有する上記問題点を鑑みてなされたものであり、本発明の目的は、DLL回路を備えた半導体装置において、内部遅延時間を容易に調整することの可能な、新規かつ改良された半導体装置を提供することである。

## 【0005】

【課題を解決するための手段】上記課題を解決するため、請求項1によれば、装置外部より入力信号が入力される入力端子と、装置外部へ出力信号が出力される出力端子と、入力信号と出力信号との位相合わせを行う位相調整回路とを備えた半導体装置において：位相調整回路は、入力信号が位相調整回路に入力されるまでの遅延時間と、位相調整回路から出力された信号が出力信号として出力されるまでの遅延時間との合計の遅延時間を再現する内部遅延再現回路と；内部遅延再現回路の上流または下流に接続され、内部遅延再現回路が再現する内部遅延時間の調整を行うために所定の遅延時間を発生する遅延調整回路と；遅延調整回路に接続され、遅延調整回路が発生する遅延時間を制御する遅延時間制御部と；遅延調整回路を介した信号の位相と、位相調整回路に入力される信号の位相とを比較する位相比較器と；遅延調整回路を介した信号の位相と位相調整回路に入力される信号との位相を一致させるため、所定の遅延時間を発生する遅延選択回路とを備えたことを特徴とする半導体装置が提供される。なお、遅延時間制御部は、請求項2に記載のように、ヒューズを含む複数のヒューズ回路から成り、ヒューズの切断により遅延調整回路が発生する遅延時間を制御するようにしてもよい。

【0006】かかる構成によれば、ヒューズ切断することにより、遅延時間を容易に調整することが可能であ

る。さらに、ブロービング時にヒューズを切断して遅延時間を調整することにより、プロセス間差で不良になるデバイスを救えるという効果が得られると同時に、歩留まりを向上させることが可能である。

【0007】また、遅延調整回路は、請求項3に記載のように、少なくともヒューズ回路の数の2乗より1少ない数の遅延素子を備えるようにしてもよく、その場合、遅延素子は、請求項4に記載のように、抵抗素子であってもよい。かかる構成によれば、 $n$ 個のヒューズ回路にそれぞれ備えられたヒューズを切断するか否かにより、遅延回路内の遅延に用いる抵抗数を $2^n$ 通りに変えることが可能であり、遅延時間を容易に調整することが可能である。また、遅延回路内の遅延発生部を抵抗で構成することにより、実現するレイヤに制限が無く、レイアウトの配置可能な場所の範囲も広げることが可能である。

【0008】さらに好ましくは、遅延素子は、請求項5に記載のように、インバータ素子で構成される。かかる構成によれば、遅延素子がインバータ素子で構成されているため、レイアウトが小スペースで実現でき、さらに配線負荷による影響を減少させることが可能である。

【0009】また、遅延時間制御部は、請求項6に記載のように、複数のラッチ回路から成り、ラッチ回路に入力される外部アドレス情報により遅延調整回路が発生する遅延時間を制御するようにしてもよい。かかる構成によれば、内部遅延時間の制御を、アドレスを入力することにより容易に行うことが可能である。さらに、モールドに組んだ後でも調整を行うことができるため、パッケージの影響を含めた評価を容易に行うことが可能である。

【0010】さらに、遅延回路は、請求項7に記載のように、少なくともラッチ回路の数の2乗より1少ない数の遅延素子を備えるようにしてもよく、その場合、遅延素子は、請求項8に記載のように、抵抗素子であってもよい。かかる構成によれば、 $n$ のラッチ回路の制御により、遅延回路内の遅延に用いる抵抗数を $2^n$ 通りに変えることが可能であり、遅延時間を容易に調整することが可能である。また、遅延回路内の遅延発生部を抵抗で構成することにより、実現するレイヤに制限が無く、レイアウトの配置可能な場所の範囲も広げることが可能である。

【0011】さらに好ましくは、遅延素子は、請求項9に記載のように、偶数個のインバータ素子で構成される。かかる構成によれば、遅延素子がインバータ素子で構成されているため、レイアウトが小スペースで実現でき、さらに配線負荷による影響を減少させることが可能である。

【0012】

【発明の実施の形態】以下に添付図面を参照しながら、本発明にかかる半導体装置の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実

質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0013】まず、入力信号と出力信号との位相合わせを行う位相調整回路を備えた一般的な半導体装置の一例を、図1を参照しながら説明する。

【0014】半導体装置100は、図1に示したように、入力クロック信号CLKが入力されるピン101と、入力クロック信号CLKが伝送されるリードフレーム・ワイヤ102と、パッド103と、入力段バッファ104と、入力段バッファ104を介した入力クロック信号CLKを入力とするDLL回路120と、DLL回路120の出力が伝送される出力段バッファ108と、パッド109と、リードフレーム・ワイヤ110と、リードフレーム・ワイヤ110と接続され、出力クロック信号CLKQSが出力されるピン111とにより構成されている。

【0015】DLL回路120は、図1に示したように、入力クロック信号CLKがDLL回路120に入力されるまでの遅延時間 $t_1$ と、DLL回路120から出力された信号CLKIOが出力クロック信号CLKQSとして出力されるまでの遅延時間 $t_2$ との合計の遅延時間（以下、「内部遅延時間」と称する。） $t_1 + t_2$ を再現する内部遅延再現回路107と、内部遅延再現回路107の下流に接続された位相比較器105と、内部遅延再現回路107を介した信号CLKIの位相とDLL回路120に入力される信号CLKRとの位相を一致させるため、所定の遅延時間 $t_3$ を発生するDLL遅延選択回路106とにより構成されている。

【0016】内部遅延再現回路107が再現する内部遅延時間 $t_1 + t_2$ は、あらかじめメタルオプションにより調整されている。

【0017】半導体装置100における入力クロック信号CLKと出力クロック信号CLKQSと位相合わせは、入力クロック信号CLKと出力クロック信号CLKQSとを直接比較して一致させる代わりに、内部遅延再現回路107を介した信号CLKIの位相と、DLL回路120に入力される信号CLKRの位相とを位相比較器105により比較し、DLL遅延選択回路106により位相を一致させることで実現される。

【0018】ところで、位相比較器105とDLL遅延選択回路106とにより信号CLKIと信号CLKRとの位相合わせを行うが、後述するように、かかる位相合わせにより自動的に入力クロック信号CLKと出力クロック信号CLKQSとの位相が合うわけではなく、内部遅延再現回路107により生成される内部遅延を正確に再現する必要がある。しかし、内部遅延再現回路107の調整に不具合があると、信号CLKIと信号CLKRとの位相は合っているが、入力クロック信号CLKと出力クロック信号CLKQSとの位相は合わなくなってしまう。

【0019】以下に、上述のように構成される半導体装置100の動作を、図1を参照しながら説明するとともに、内部遅延再現回路107の内部遅延が正確に再現されている場合について、図2を参照しながら説明し、さらに、内部遅延再現回路107の内部遅延が正確に再現されていない場合について、図3を参照しながら説明する。

【0020】ピン101より入力された入力クロック信号CLKは、リードフレーム・ワイヤ102を通してパッド103に入力され、入力段バッファ104を介してDLL回路120内に信号CLKRとして入力される。このとき、入力クロック信号CLKがピン101から入力段バッファ104を介しDLL回路120に入力されるまでに時間 $t_1$ を要する。従って、信号CLKRは、図2(a)に示したように、入力クロック信号CLKに対し時間 $t_1$ 遅れた信号である。

【0021】入力段バッファ104からDLL回路120内に入力された信号CLKRは、DLL遅延選択回路106を介して、DLL回路120の外部に信号CLKIOとして出力される。このとき、信号がDLL遅延選択回路106を介するのにかかる時間 $t_3$ を要する。従って、信号CLKIOは、図2(a)に示したように、信号CLKRに対し時間 $t_3$ 遅れた信号である。なお、信号CLKRは位相比較器105にも入力されるが、これについては後述する。

【0022】DLL遅延選択回路106から出力された信号CLKIOは、出力段バッファ108、パッド109、リードフレーム・ワイヤ110を介して、出力クロック信号CLKQSとしてピン111に出力される。このとき、信号がDLL回路から出力段バッファ108を介してピン111に出力されるまでに時間 $t_2$ を要する。従って、出力クロック信号CLKQSは、図2(a)に示したように、信号CLKIOに対し時間 $t_2$ 遅れた信号である。

【0023】DLL遅延選択回路106から出力された信号CLKIOは、DLL回路120内の内部遅延再現回路107を介して信号CLKIとして位相比較器105の一の入力に入力される。信号CLKIは、内部遅延再現回路107により時間 $t_1 + t_2$ 遅延させられるため、図2(a)に示したように、信号CLKIOに対し時間 $t_1 + t_2$ 遅れた信号である。

【0024】位相比較器105の他の入力には、上述の信号CLKRが入力されている。信号CLKIの位相を信号CLKRの位相に合わせ込むために、図2に示したように、DLL遅延選択回路106の遅延時間 $t_3$ を調整する。

【0025】以上説明したように、入力クロック信号CLKと出力クロック信号CLKQSとの位相を一致させるため、DLL回路120内において、信号CLKRと信号CLKIとを比較器105に入力し、両者の位相差

をなくすようDLL遅延選択回路106の遅延 $t_3$ で合わせ込む。その結果、信号CLKRと信号CLKIの位相は一致し、入力クロック信号CLKと出力クロック信号CLKQSも一致する。

【0026】ところで上述のように、DLL回路においては、入力クロック信号CLKと出力クロック信号CLKQSとを比較する代わりに、信号CLKRと信号CLKIとを比較している。従って、信号CLKIを発生させる内部遅延再現回路107では、正確にデバイスの内部遅延 $t_1 + t_2$ を再現する必要がある。内部遅延 $t_1 + t_2$ に対し、内部遅延再現回路107による再現が遅延 $t_1 + t_2 + \alpha$ である場合のように、正確に内部遅延を再現できていない場合、図3に示したように、信号CLKRと信号CLKIの位相は一致しているが、入力クロック信号CLKと出力クロック信号CLKQSには位相差が生じてしまう。

【0027】以下では、上記問題点を鑑みてなされた本発明にかかる半導体装置の好適な実施の形態について、上記一般的な半導体装置との差異を明確しつつ詳細に説明する。

【0028】(第1の実施の形態) 第1の実施の形態にかかる半導体装置200について、図4を参照しながら説明する。半導体装置200は、図4に示したように、入力クロック信号CLKが入力されるピン201と、入力クロック信号CLKが伝送されるリードフレーム・ワイヤ202と、パッド203と、入力段バッファ204と、入力段バッファ204を介した入力クロック信号CLKを入力とするDLL回路220と、DLL回路220の出力が伝送される出力段バッファ208と、パッド209と、リードフレーム・ワイヤ210と、リードフレーム・ワイヤと接続され、出力クロック信号CLKQSが出力されるピン211とにより構成されている。

【0029】DLL回路220は、図4に示したように、入力クロック信号CLKがDLL回路220に入力されるまでの遅延時間 $t_1$ と、DLL回路220から出力された信号CLKIOが出力クロック信号CLKQSとして出力されるまでの遅延時間 $t_2$ との合計の遅延時間(以下、「内部遅延時間」と称する。)  $t_1 + t_2$ を再現する内部遅延再現回路207と、内部遅延再現回路207の下流に接続され、内部遅延再現回路207が再現する内部遅延時間の調整を行うために所定の遅延時間を発生する遅延調整回路213と、遅延調整回路213の下流に接続され、遅延調整回路213を介した信号の位相と、DLL回路220に入力される信号の位相とを比較する位相比較器205と、内部遅延再現回路207を介した信号CLKIの位相とDLL回路220に入力される信号CLKRとの位相を一致させるため、所定の遅延時間 $t_3$ を発生するDLL遅延選択回路206とを含む点で従来の半導体装置100と共通する。

【0030】本実施の形態にかかるDLL回路220

は、図4に示したように、さらに、内部遅延再現回路207の下流に接続され、内部遅延再現回路207が再現する内部遅延時間の調整を行うために所定の遅延時間を発生する遅延調整回路213と、遅延調整回路213に接続され、遅延調整回路213が発生する遅延時間を制御する遅延時間制御部たるトリミングヒューズブロック212とを備えている。なお、遅延調整回路213は、内部遅延再現回路207の上流に備えてもよい。

【0031】以下では、本実施の形態に特徴的なトリミングヒューズブロック212及び遅延調整回路213について、図5及び図6を参照しながら説明する。

【0032】(トリミングヒューズブロック212)トリミングヒューズブロック212は、トリミングヒューズ回路を複数備えることにより構成されている。トリミングヒューズ回路212aは、図5に示したように、Pチャネル型MOSトランジスタ(以下「PMOS」と称する。)P1、P2と、ヒューズFと、インバータ素子INV1、INV2とにより構成されている。

【0033】PMOSP1のゲート端子は外部電源投入時のイニシャル信号PWROKに接続されており、ソース端子は電源に接続されており、ドレイン端子はノードbに接続されている。ノードbは、一方の端子が接地されたヒューズFとインバータ素子INV1とに接続されている。インバータ素子INV1を介した信号は、信号 $a_n$ として後述の遅延調整回路213に出力され、さらに、インバータ素子INV2を介して信号 $a_n$ として遅延調整回路213に出力されるとともに、PMOSP2のゲート端子に接続されている。PMOSP2のソース端子は電源に接続されており、ドレイン端子はノードbに接続されている。外部電源投入時のイニシャル信号PWROKは、電源投入直後はロウレベルであり、内部電源が安定した後にハイレベルとなる。

【0034】上記構成によれば、遅延時間の選択信号となる信号 $a_n$ は、ヒューズFの接続時はロウレベルであり、ヒューズFの切断時はイニシャル信号PWROKが電源投入時にロウレベルになることで、ノードbがハイレベルをラッチするためにハイレベルを示す。ヒューズFの情報を複数備えることにより、遅延調整回路において複数の遅延時間のうちの1つが選択される。

【0035】すなわち、トリミングヒューズブロック212がn個のトリミングヒューズから成る場合、n個のヒューズを切断するか接続するかにより、 $2^n$ 通りの信号群を生成することが可能である。かかる信号群を用いることで、後述の遅延調整回路213により、 $2^n$ 通りの遅延時間のうちの1つが選択される。

【0036】(遅延調整回路213)遅延調整回路213は、図6に示したように、複数の遅延素子たる抵抗素子R1～R3と、内部遅延調整回路207から遅延調整回路213に信号が入力される端子INと、遅延調整回路213から位相比較器205に出力される信号が出力

される端子OUTと、複数のNチャネル型MOSトランジスタ(以下「NMOS」と称する。)とを備えている。遅延調整回路213においては、上記信号 $a_n$ 及び信号 $/a_n$ がNMOSのゲート端子に入力され、端子INから端子OUTへの経路が決定されることにより、その間を介す抵抗素子の数を変えることができる。このことは、トリミングヒューズブロック212により生成される信号 $a_n$ 及び信号 $/a_n$ により遅延調整回路213の遅延調整が制御可能であることを示している。

【0037】上記トリミングヒューズブロック212がn個のトリミングヒューズ回路から成る場合、遅延調整回路213は、 $2^n - 1$ の抵抗を備えている。図6ではn=2の場合を示している。トリミングヒューズブロック212のn個のトリミングヒューズ回路212aのヒューズを切断するか否かにより、遅延調整回路213の抵抗数を0から $2^n - 1$ の範囲で調整することができ、 $2^n$ 通りの遅延パターンを作ることが可能である。

【0038】例えば、図6において、信号 $/a_1$ がハイレベルで、信号 $a_2$ がハイレベルである場合、端子INから入力された信号は、抵抗R1、R2を介することにより遅延させられた後、端子OUTから出力されることになる。

【0039】以上説明したように、本実施の形態にかかる半導体装置200によれば、内部遅延再現回路207の遅延を調整する遅延調整回路213を備え、トリミングヒューズブロック212により遅延調整回路213を制御するように構成したので、ヒューズブロック内のヒューズ切断することにより、遅延時間を容易に調整することが可能である。

【0040】さらに、プロービング時にヒューズを切断して遅延時間を調整することにより、プロセス間差で不良になるデバイスを救うことができるので、歩留まりを向上させることが可能である。さらに、遅延調整回路213内の遅延発生部は抵抗により構成されているため、調整段階の制限がなく、レイアウトも容易に行うことが可能である。

【0041】(第2の実施の形態)第2の実施の形態にかかる半導体装置200'について説明する。半導体装置200'は、第1の実施の形態にかかる半導体装置200における遅延調整回路213を、図7に示した遅延調整回路213'に置き換えたものである。半導体装置200'における遅延調整回路213'以外の構成要素については、半導体装置200における各構成要素と実質的に同様の構成及び接続から成るため説明を省略する。

【0042】遅延調整回路213'は、内部遅延再現回路207の遅延を調整する回路である。第1の実施の形態における遅延調整回路213では、図6に示したように、抵抗を用いて内部遅延再現回路の遅延を調整していたが、遅延調整回路213'は、図7に示したように、

抵抗の代わりに偶数個のインバータ素子を用いて内部遅延再現回路の遅延を調整する。なお、図7においては、2のインバータ素子を用いた場合の一例を示したが、本発明はかかる場合に限定されず、インバータ素子の個数を適宜設計変更することも可能である。

【0043】遅延調整回路213'は、図5に示したトリミングヒューズブロック212により生成される信号 $a_n$ 及び信号 $\neg a_n$ により制御される。遅延調整回路213'の動作は、第1の実施の形態にかかる遅延調整回路213の動作と実質的に同様であるため説明を省略する。

【0044】以上説明したように、本実施の形態にかかる半導体装置200'によれば、第1の実施の形態にかかる半導体装置200と同様の効果が得られるだけでなく、半導体装置200に比べ、小スペースでレイアウトでき、さらに配線負荷による影響を減少させることが可能である。

【0045】(第3の実施の形態)第3の実施の形態にかかる半導体装置300について、図8を参照しながら説明する。半導体装置300は、図8に示したように、第1の実施の形態にかかる半導体装置100におけるトリミングヒューズブロック212を、レジスタ314に置き換えたものである。半導体装置300におけるレジスタ314以外の構成要素については、半導体装置200における各構成要素と実質的に同様の構成及び接続から成るため説明を省略する。なお、遅延調整回路313は、第1の実施の形態にかかる遅延調整回路213と同様に抵抗により構成されていてもよく、第2の実施の形態にかかる遅延調整回路213'と同様にインバータ素子により構成されていてもよい。

【0046】(レジスタ314)レジスタ314は、内部遅延再現回路307の遅延を調整する回路である。レジスタ314は、ラッチ回路を複数備えることにより構成されている。

【0047】(ラッチ回路314a)上述のラッチ回路314aは、図10に示した一般的なフリップフロップ316を備えている。ラッチ回路314aには、イニシャル信号PWROK、遅延調整モード信号MRS、アドレス信号 $ADD_n$ 、クロックMRCLKが入力されている。イニシャル信号PWROKはフリップフロップ316の端子Rに接続されており、クロックMRCLKはフリップフロップ316の端子CKに接続されている。

【0048】遅延調整モード信号MRSはラッチ回路内のインバータ素子61に接続され、インバータ素子61はAND素子62の一の入力に接続されている。AND素子62の他の入力にはフリップフロップ316の端子Qが接続されている。さらに、遅延調整モード信号MRSは、AND素子63の一の入力に接続されている。AND素子63の他の入力には、アドレス信号 $ADD_n$ が接続されており、アドレス値が入力される。

【0049】AND素子62及びAND素子63の出力は、NOR素子64に接続されている。NOR素子64の出力は、フリップフロップ316の端子Dに接続されている。フリップフロップ316の端子Qは、上記AND素子62の入力に接続されるとともに、信号 $a_n$ として出力され、さらに、インバータ素子65を介して信号 $\neg a_n$ として出力される。

【0050】以上のように構成される半導体装置300の動作を、図8～図10、及び図11に示したタイミングチャートを参照しながら説明する。まず、遅延調整回路313が生成する遅延を制御するためのアドレス値をレジスタ314の端子315に入力する。図9に示したラッチ回路314aにおいて、上述の信号PWROKにより選択信号 $a_n$ をロウレベルに初期化する。遅延時間を調整するときは、信号MRSがハイレベルとなることで、遅延調整モードに入り、アドレス値 $ADD_n$ を信号MRCLKに合わせてラッチし、選択信号 $a_n$ として出力する。信号MRSがロウレベルとなり、調整モード解除後は、図9の符号cのループでラッチを行う。レジスタ314は、上記ラッチ回路314aを複数備えることにより、遅延調整回路313において複数の遅延時間のうちの1つが、アドレス値に応じて選択される。

【0051】以上説明したように、本実施の形態にかかる半導体装置によれば、遅延選択レジスタ314と遅延調整回路313を搭載したので、指定のアドレスを入力することにより、遅延時間を容易に調整できるという効果が得られる。さらに、モールドに組んだ後でも調整できるため、パッケージの影響を含めた評価が容易に行える。

【0052】以上、添付図面を参照しながら本発明にかかる半導体装置の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0053】例えば、上記発明の実施の形態では、DLL回路に対応した実施の形態を説明したが、本発明はこれに限定されない。信号の位相を調整して合わせ込む必要がある半導体装置であれば同様に本発明は適用可能である。

【0054】

【発明の効果】以上説明したように、本発明にかかる半導体装置によれば以下のような優れた効果を奏する。

【0055】請求項1、2または3のいずれかに記載の半導体装置によれば、ヒューズ切断することにより、遅延時間を容易に調整できるという効果が得られる。さらに、ブロービング時にヒューズを切断して遅延時間を調整することにより、プロセス間差で不良になるデバイスを救えるという効果が得られると同時に、歩留まりの向

上が期待できる。

【0056】請求項4または8に記載の半導体装置によれば、遅延調整回路内の遅延発生部は、抵抗で構成されているため、実現するレイヤに制限が無く、レイアウトの配置可能な場所の範囲も広がる。

【0057】請求項5または9に記載の半導体装置によれば、レイアウトが小スペースで実現でき、さらに配線負荷による影響を減少させることが可能である。

【0058】請求項6または7に記載の半導体装置によれば、指定のアドレスを入力することにより、遅延時間を容易に調整できるという効果が得られる。さらに、モールドに組んだ後でも調整できるため、パッケージの影響を含めた評価が容易に行える。

【図面の簡単な説明】

【図1】従来のDLL回路を備えた半導体装置である。

【図2】図1の半導体装置の動作を表すタイミングチャートである。

【図3】図1の半導体装置の動作を表すタイミングチャートである。

【図4】発明の第1の実施の形態にかかる半導体装置を示す説明図である。

【図5】トリミングヒューズ回路の説明図である。

【図6】遅延回路の説明図である。

【図7】遅延回路の説明図である。

【図8】発明の第2の実施の形態にかかる半導体装置を示す説明図である。

【図9】ラッチ回路を示す説明図である。

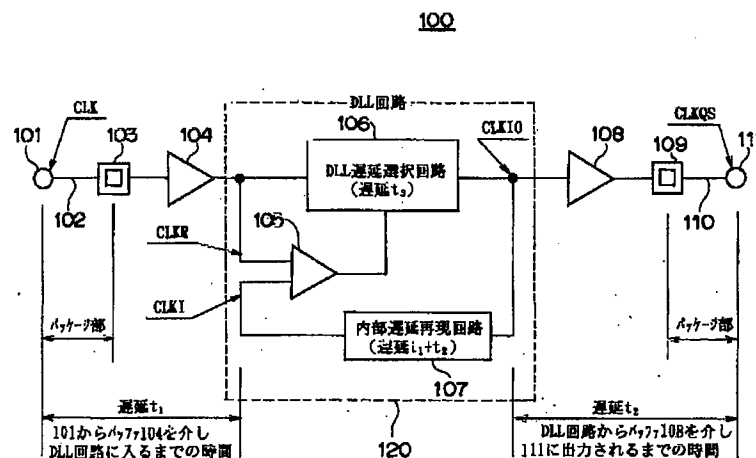
【図10】図9のラッチ回路に用いられるフリップフロップを示す説明図である。

【図11】図9のラッチ回路に入力される信号のタイミングチャートである。

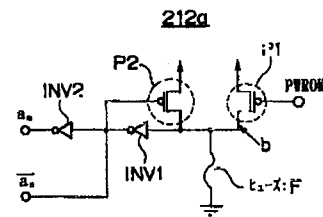
【符号の説明】

- 200 半導体装置
- 201 入力ピン
- 202 リードフレーム・ワイヤ
- 203 入力パッド
- 204 入力段バッファ
- 205 位相比較器
- 206 DLL遅延選択回路
- 207 内部遅延再現回路
- 208 出力段バッファ
- 209 出力パッド
- 210 リードフレーム・ワイヤ
- 211 出力ピン
- 212 トリミングヒューズブロック
- 213 遅延調整回路
- 220 DLL回路
- CLK 入力クロック信号
- CLKQS 出力クロック信号
- t1 入力ピンからDLL回路までの遅延時間
- t2 DLL回路から出力ピンまでの遅延時間
- t3 DLL遅延選択回路により生成される遅延時間

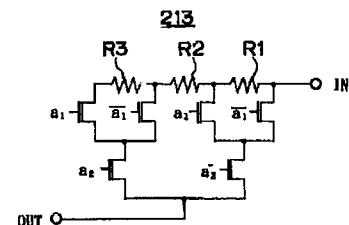
【図1】



【図5】

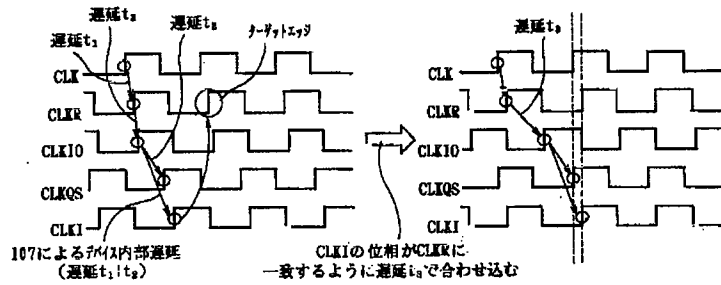


【図6】

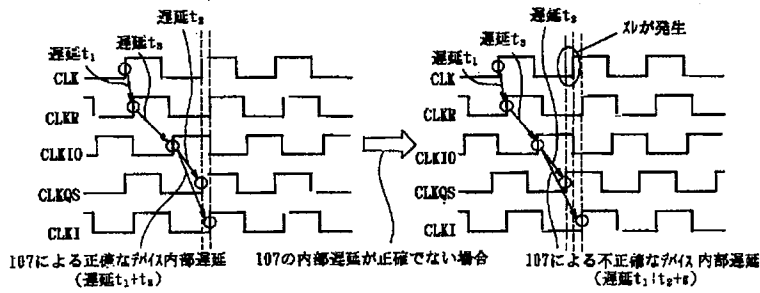




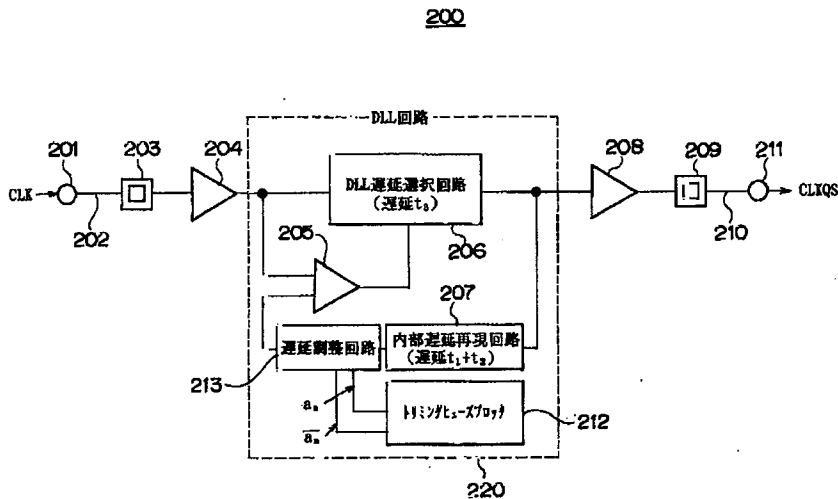
【図2】



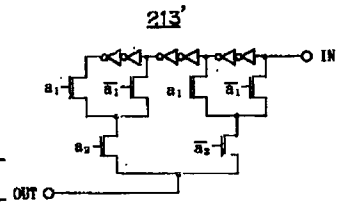
【図3】



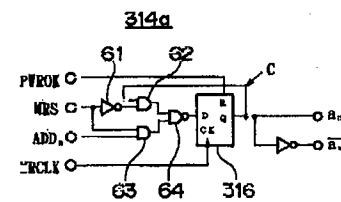
【図4】



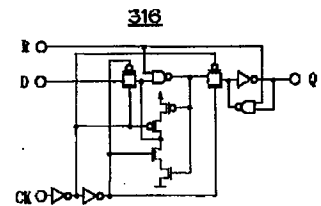
【図7】



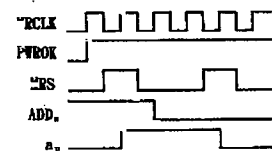
【図9】



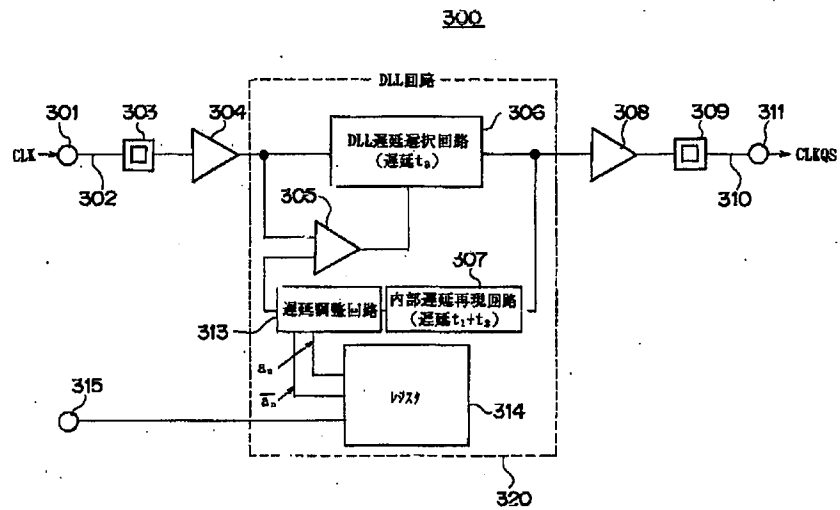
【図10】



【図11】



【図8】



フロントページの続き

(72)発明者 河野 浩明  
宮崎県宮崎郡清武町大字木原7083番地 株  
式会社沖マイクロデザイン宮崎内

Fターム(参考) 5F038 AV02 AV06 AV10 AV15 CD06  
CD08 CD09 DF01  
5F064 BB03 BB06 BB07 BB18 BB19  
BB27 BB40 CC12 CC22 CC30  
DD13 DD25 DD32 DD42 EE47  
EE54 FF05 FF27 FF60  
5J001 AA00 AA04 BB02 BB07 BB08  
BB11 BB12 BB14 DD04